

5802/112 P.0001
DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03953413 **Image available**

THIN FILM TRANSISTOR TYPE LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 04-318513 [JP 4318513 A]

PUBLISHED: November 10, 1992 (19921110)

INVENTOR(s): OGURA SHIGEKI

NISHIKI TAMAHIKO

YOSHIZAWA YOSHIYO

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 03-085536 [JP 9185536]

FILED: April 17, 1991 (19910417)

INTL CLASS: [5] G02F-001/133; G02F-001/1343; G02F-001/136; G09F-009/30

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1508, Vol. 17, No. 147, Pg. 116,
March 24, 1993 (19930324)

ABSTRACT

PURPOSE: To eliminate a DC component between a drain electrode and a counter electrode and to reduce a drop in picture element electrode due to the parasitic capacity between a gate and a source.

CONSTITUTION: The drain electrode 2 and source electrode 4 constitute a main transistor(TR) and a 1st auxiliary electrode 9 and a 2nd auxiliary electrode 11 constitute a subordinate TR. A shield electrode is formed over the entire surface of the drain electrode 2 except the connection parts between a picture element electrode 5 and the main and subordinate TRs across an insulating film. Then, when an (n-1)th gate pulse is ON, the voltage on the shield electrode is written through the subordinate TR and when an (n)th gate pulse is ON, the voltage on the drain electrode is written through the main TR.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-318513

(43) 公開日 平成4年(1992)11月10日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	7820-2K		
1/1343		9018-2K		
1/136	5 0 0	9018-2K		
G 0 9 F 9/30	3 3 8	7926-5G		

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平3-85536

(22) 出願日 平成3年(1991)4月17日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 小椋 茂樹

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 西木 玲彦

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 ▲よし▼澤 佳代

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

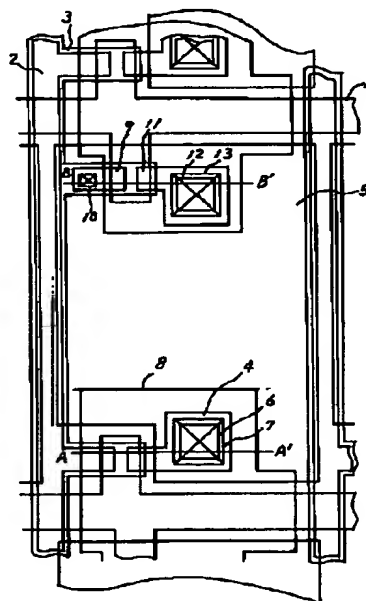
(74) 代理人 弁理士 杉山 猛 (外3名)

(54) 【発明の名称】 薄膜トランジスタ型液晶表示装置

(57) 【要約】

【目的】 薄膜トランジスタ型液晶ディスプレイにおいて、ドレイン電極-対向電極間のDC成分をなくし、かつゲート-ソース間寄生容量による画素電極電圧の降下を軽減する。

【構成】 ドレイン電極2とソース電極4が主トランジスタを構成し、第1補助電極9と第2補助電極11が副トランジスタを構成する。また、ドレイン電極2上には、絶縁膜を介して画素電極5と主、副トランジスタとの接続部以外の全面に遮蔽電極が形成されている。遮蔽電極は対向電極と電気的に接続されている。そして、n番目の画素電極には、n-1番目のゲートパルスのオン時に副トランジスタを介して遮蔽電極上の電圧を書込み、n番目のゲートパルスのオン時に主トランジスタを介してドレイン電極上の電圧を書込む。



(2)

特開平4-318513

1

【特許請求の範囲】

【請求項1】 複数のゲート電極と、該ゲート電極と交差する複数のドレイン電極と、その交差部に設けられた薄膜トランジスタと、該薄膜トランジスタに接続された画素電極とを有する薄膜トランジスタ基板と、液晶を挟んで該薄膜トランジスタ基板と対向する対向電極基板とを備えた薄膜トランジスタ型液晶表示装置において、前記薄膜トランジスタ基板は、(a) 前記ゲート電極上に形成された第1絶縁膜と、(b) 該ゲート絶縁膜上に形成されたソースドレイン電極及び第1、第2補助電極と、(b) 該各電極上で、かつ少なくとも該ソース電極と前記画素電極との接続部及び該第2補助電極と前記画素電極との接続部以外の全面に形成された第2絶縁膜と、(c) 該第2絶縁膜上で、かつ少なくとも前記ソース電極と前記画素電極との接続部及び前記第2補助電極と前記画素電極との接続部以外の全面に形成され、かつ前記対向電極基板の対向電極と同程度の電圧が入力されている遮蔽電極と、(d) 該遮蔽電極上で、かつ少なくとも前記ソース電極と前記画素電極との接続部及び前記第2補助電極と前記画素電極との接続部以外の全面に形成された第3絶縁膜と、(e) 該第3絶縁膜上に形成された前記画素電極とを備え、前記ソースドレイン電極が、 n 番目のゲートパルスのオン時に前記ドレイン電極上の電圧を n 番目の画素電極に伝達する主トランジスタを構成し、前記第1、第2補助電極が、 $n-1$ 番目のゲートパルスのオン時に前記遮蔽電極上の電圧を n 番目の画素に伝達する副トランジスタを構成することを特徴とする薄膜トランジスタ型液晶表示装置。

【請求項2】 ゲートパルスのオフ時刻を次のラインのドレイン電圧が発生する時刻よりも早く設定した駆動回路を備えることを特徴とする請求項1記載の薄膜トランジスタ型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ型液晶表示装置、特に薄膜トランジスタの構造、電極パターン、及び駆動方法に関するものである。

【0002】

【従来の技術】 従来、この分野の技術としては例えば「EID90-6、ED90-35、IE90-15、10、4型カラーTFT-LCDの開発」に記載されたものが知られている。図8は前記文献に記載された従来の薄膜トランジスタ（以下、「TFT」という）の一部断面図である。

【0003】 図に示すように、ゲート電極32上にゲート絶縁膜34、半導体層35、オーミック層36と続き、その上に信号電極であるソースドレイン電極37が設けられる。画素電極33の位置はソースドレイン電極37より下の場合もあり、上の場合もあるが、これは各社の着目する点が異なるだけで全体のTFT構造と

2

しては大きく変わらない。そして、最後にパッシベーション膜38が設けられる。さらに、このTFTにおいては、ゲート電極をA1、Taの2層構造とすることによりゲートパルス遅延によって生じる画像のにじみ等を防いでいた。

【0004】

【発明が解決しようとする課題】 しかしながら、上記構成の薄膜トランジスタ型液晶表示装置においては、ゲートパルス遅延に対する効果はあるが、映像信号の入るドレイン電極上には、常に何らかの電圧が印加されており、そのことによって生じるドレイン電極-対向電極間の電位変動が液晶分子を駆動してしまい、光漏れとなる。このことの対策としては、対向電極側にブラックマスク層を形成し、この光漏れを遮るようするのが一般的に行われているが、ブラックマスク層を形成するため、どうしても開口率が小さくなってしまいう問題点があった。

【0005】 また、この光漏れはそのような対策によって防ぐことができたとしても、ドレイン電極と画素電極の間に生じる電位変動は防ぎようがない。すなわち、一旦、ゲートパルスによりドレイン電極上の電圧を書き込まれた画素電極のすぐ横にドレイン電極があり、そのドレイン電極に常に何らかの電圧が印加されているので、ドレイン電極-画素電極間の容量結合による画素電位変動もあり、また、一般的に画素電極電位の正・負レベルの中心値はTFTのゲート電極-ソース電極間容量によって引き起こされる電圧降下により、ドレイン電極の正・負レベルの中心値より低くなるので、ドレイン電極-画素電極間にはDC成分の電圧が常にかかった状態となる。そして、液晶にDC成分がかかると、劣化が著しくなり信頼性がなくなるので、それを防ぐために対向電極電圧を前記電圧降下に対応して低めに設定することが行われているが、それを行うと画素電極-対向電極間の液晶にはDC成分が加わらなくなるものの、今度はドレイン電極-対向電極間の液晶にDC成分が加わってしまい液晶が劣化するという問題点があった。

【0006】 本発明は、上記従来の問題点を解決して、開口率が大きく、液晶の劣化の少ない、表示品質、信頼性共に優れた薄膜トランジスタ型液晶表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 前記問題点を解決するために、本発明は、複数のゲート電極と、ゲート電極と交差する複数のドレイン電極と、その交差部に設けられた薄膜トランジスタと、薄膜トランジスタに接続された画素電極とを有する薄膜トランジスタ基板と、液晶を挟んで薄膜トランジスタ基板と対向する対向電極基板とを備えた薄膜トランジスタ型液晶表示装置において、薄膜トランジスタ基板は、ゲート電極上に形成された第1絶縁膜と、ゲート絶縁膜上に形成されたソース・ドレイン電

3

極及び第1、第2補助電極と、各電極上で、かつ少なくともソース電極と画素電極との接続部及び第2補助電極と画素電極との接続部以外の全面に形成された第2絶縁膜と、第2絶縁膜上で、かつ少なくともソース電極と画素電極との接続部及び第2補助電極と画素電極との接続部以外の全面に形成され、かつ対向電極基板の対向電極と同程度の電圧が入力されている遮蔽電極と、遮蔽電極上で、かつ少なくともソース電極と画素電極との接続部及び第2補助電極と画素電極との接続部以外の全面に形成された第3絶縁膜と、第3絶縁膜上に形成された画素電極とを備え、ソースドレイン電極が、n番目のゲートパルスのオン時にドレイン電極上の電圧をn番目の画素電極に伝込む主トランジスタを構成し、第1、第2補助電極が、n-1番目のゲートパルスのオン時に遮蔽電極上の電圧をn番目の画素に伝込む副トランジスタを構成するように構成した。

【0008】

【作用】本発明によれば、以上のように薄膜トランジスタ型液晶表示装置を構成したので、ドレイン電極-対向電極間は遮蔽電極によって遮蔽される。したがって、ドレイン電極-対向電極間に電位差が生じて、遮蔽電極によってドレイン電圧が遮蔽されるので、それらの電極間にDC成分が発生しなくなり、ドレイン電極上の液晶がオンしなくなる。

【0009】また、遮蔽電極と画素電極間に形成される蓄積容量がゲート電極-ソース電極間寄生容量に起因する画素電極電圧波形の降下を軽減させる。さらに、n-1番目のゲートパルスのオン時に遮蔽電極上の電圧がn番目の画素電極に伝込まれ、n番目のゲートパルスのオン時にドレイン電極上の電圧がn番目の画素電極に伝込まれる。

【0010】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例における薄膜トランジスタ基板の平面図である。図に示すように、ゲート電極1とドレイン電極2が交差する部分に、半導体層3をチャネルとするトランジスタ（主トランジスタ）が設けられており、ゲートパルスによりソース電極4にドレイン電極2上の電圧が伝込まれるようになっている。ソース電極4は第1、第2コンタクトホール6、7を通して画素電極5と電気的に接続されており、ソース電圧波形はそのまま画素電圧波形となる。遮蔽電極は開口部8（トランジスタとゲート電極の一部）以外全面に形成されている。

【0011】一方、1本前のゲート電極上に、もう一つのトランジスタ（副トランジスタ）が形成されている。第1補助電極9は第3コンタクトホール10を通して遮蔽電極8と電気的に接続されており、1本前のゲート電極を介して第2補助電極11とチャネルを形成しており、同じく第2補助電極11は第4、第5コンタクト

4

ホール12、13を通して画素電極5と電気的に接続されている。

【0012】図2は本発明の実施例における薄膜トランジスタ基板の主トランジスタ部（図1のA-A'）の断面図である。本実施例ではゲート電極1の上に、ゲート電極1を陽極酸化して得られるゲート電極陽極酸化膜14を形成している。ただし、この膜は主としてゲート電極-ドレイン電極間ショートを防ぐ目的のものであって、本発明に不可欠の要素ではない。そして、その上には、ゲート絶縁膜としての機能を有する第1絶縁膜16が基板全面に形成されている。さらに、その上半導体層3、オーミック接合層15が所定のパターンに形成されており、その上にドレイン-ソース電極2、4があり、その上に第2絶縁膜17が第1コンタクトホール6以外に形成されており、その上に透明電極からなる遮蔽電極18がトランジスタ部、第1、第2コンタクトホール6、7以外に形成されており、その上に第3絶縁膜19が第1、第2コンタクトホール6、7以外に形成されており、その上に画素電極5が第1、第2コンタクトホール6、7を通してソース電極4と電気的に接続されるよう形成されている。この図から画素電極5は遮蔽電極18との間に第3絶縁膜19を挟んだ蓄積容量を形成していることが分かる。

【0013】図3は本発明の実施例における薄膜トランジスタ基板の副トランジスタ部（図1のB-B'）の断面図である。図に示すように、1本前のゲート電極1が延在しており、その上に第1絶縁膜16、半導体層3、オーミック接合層15があるのは主トランジスタと同様である。第1補助電極9は、ドレイン電極と同時に形成された電極であるが、ドレイン電極とは電気的に接続されておらず、第2絶縁膜17の第3コンタクトホール10を通して遮蔽電極18と電気的に接続されている。同様にして、第2補助電極11は、ドレイン-ソース電極2、4と同時に形成されたものであり、第1補助電極9との間に副トランジスタを形成している。第2補助電極11は第2絶縁膜17の第4コンタクトホール12及び第3絶縁膜19の第5コンタクトホール13を通して画素電極5と電気的に接続されている。

【0014】図4は本発明の実施例における基板の電氣的接続系の説明図である。ゲート電極群20とドレイン電極群21が形成するマトリクスアレイ上において、対向電極22は薄膜トランジスタ基板と対向側に当たる対向電極基板の全面に形成されているので、図のように示される。一方、前記遮蔽電極18もその一部は開口しているが、1枚のベタ電極であるので、この図のようにただ一つの電気信号を加えるのみである。この遮蔽電極18には、対向電極22に加える電圧と同程度の電圧を入力する。本実施例においては、遮蔽電極18と対向電極22とを電気的に接続してある。なお、遮蔽電極18と対向電極22との接続は、どちらも1枚のベタ基板であ

(4)

特開平4-318513

5

るため、きわめて容易である。

【0015】図5は本発明の実施例による薄膜トランジスタ型液晶表示装置の1画素あたりの等価回路図である。図に示すように、 n 番目のゲート電極25とドレイン電極2の交差部には、ドレイン電極信号を書き込むための主トランジスタ28があり、 $n-1$ 番目のゲート電極24とドレイン電極2の交差部には、遮蔽電極信号を書き込むための副トランジスタ27がある。また、画素電極5はこれら主・副トランジスタに接続され、液晶層は液晶抵抗29と液晶容量30の並列回路で表現される。そして、液晶層の対向側には遮蔽電極18に電気的に接続された対向電極22がある。

【0016】図において、 n 番目の画素電極5は、 $n-1$ 番目のゲート電極24がオンした時に、副トランジスタ27を介して対向電極22の電圧が遮蔽電極信号として書き込まれ、 n 番目のゲート電極25がオンした時に、主トランジスタ28を介してドレイン電極信号が書き込まれる。画素電極-遮蔽電極間の蓄積容量34は液晶抵抗29、液晶容量30と並列なので、ゲート電極-ソース電極間寄生容量33によって生じるゲートオフ時のソース電圧シフトダウンを小さくすることができる。

【0017】図6は本発明の実施例による薄膜トランジスタ型液晶表示装置の駆動方法を示す説明図である。また、図7はその駆動方法によって得られる画素電圧波形図である。まず、図6(a)に示されているドレイン電圧波形35は1ライン毎に正・負反転され、かつ1フレーム毎にさらにに正・負反転されている。これは一般的に行われている駆動方法で、フリッカ、輝度傾斜に有効な方法であるが、この1ライン毎に反転をしなければ、本発明がその効果を奏しないというわけではなく、1フ

【0018】次に、対向電圧波形36は、ドレイン電圧の正・負レベルの中心値よりやや下めに設定されている。これはTFTのゲート電極-ソース電極間の寄生容量に起因してソース、すなわち画素電圧波形がゲートオフ時にシフトダウンするので、ドレイン電圧の正・負レベルの中心値に設定すると画素電極と対向電極間の液晶にDC電圧がかかり液晶が劣化してしまうからである。ここで注意すべき点は、この対向電圧の低めの設定ゆえに、ドレイン電極2と対向電極25の間には、常にDC成分が生じることである。しかしながら、本発明ではドレイン電極2上に遮蔽電極7があるので、ドレイン電圧の変動は遮蔽電極18で遮蔽され、かつその遮蔽電極18には、対向電圧波形22と同じ信号が入るので、ドレイン配線上の液晶には何ら電位差は生じず、DC成分は生じることはない。

【0019】次に、図6(b)に示されているゲートパルスオン期間は、ドレイン電圧信号切換時に始まり、次ドレイン信号切換時よりやや早めにオフさせる。この早めにする時間 Δt はゲートパルス遅延による尾引きによ

6

って次ライン情報の誤書き込み防止のためである。なくても本発明の効力は失われないが、あった方がより好ましい。

【0020】以下、図6及び図7を参照して本発明の実施例による薄膜トランジスタ型液晶表示装置の駆動方法を説明する。 n 番目の画素について述べると、まず、時刻 t_{i-1} において $n-1$ 番目のゲートがオンすると、対向電圧波形36が画素電極に書き込まれる。次いで、ゲートがオフすると副トランジスタのゲート電極-ソース電極間の寄生容量により画素電圧波形がシフトダウンした後、 Δt の時間それが保持される。次に、時刻 t_i において n 番目のゲートがオンするとドレイン電極信号が書き込まれ、ゲートがオフすると主トランジスタのゲート電極-ソース電極間の寄生容量により画素電圧波形がシフトダウンする。以後は次のフレームにおいて $n-1$ 番目のゲートがオンするまで画素電圧が保持される。

【0021】このように駆動を行うと、画素電極電位は正・負いずれの電位であっても1フレームごとに反転されるので、 $n-1$ 番目のゲートオン時から充・放電が好ましい方向に起きることになり、そのため n 番目のゲート電圧オン時に書き込むドレイン電圧信号へと早く到達する。すなわち、トランジスタのオン特性を十分にとれることになる。

【0022】また、従来のようにゲートパルス幅を1ラインに等しく設定した場合、 n 番目ゲートパルスに遅延を生じると $n+1$ 番目ゲートオン時の逆極性のドレイン信号を n 番目のゲートパルスの尾引き時に書き込んでしまうが、本実施例においては先に述べたようにオン特性を十分にとれることから、 $n+1$ 番目のドレインパルスが入るよりわずかに前に n 番目のゲートをオフすれば、こういった誤書き込みはなくなる。この時のゲートパルスを早めにオフする時間は Δt として示してあるが、この大きさはTFTの材料、構造、液晶表示装置のサイズ等により様々に異なるので、詳しくは論じない。また、この Δt の設定により、オン特性にとっては書き込み時間が少なくなるのでよくないという点が、先に述べた副トランジスタと遮蔽電極の方法により問題点ではなくなるのである。

【0023】なお、本発明は上記実施例に限定されるものではなく、遮蔽電極18を第1～第4コンタクトホール6, 7, 10, 11以外の全面に形成する等、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0024】

【発明の効果】以上詳細に説明したように、本発明によれば、ドレイン線上に絶縁膜を介して遮蔽電極を設け、かつその遮蔽電極と画素電極との間に蓄積容量を形成し、さらにその遮蔽電極に対向電極と同程度の電圧を入力し、その遮蔽電極電圧を副トランジスタで1本前のゲートオン時に画素電極に書き込ませるようにしたので、

(5)

特開平4-318513

7

次のような効果を奏する。

(1) ドレイン電極-対向電極間のDC成分がゼロになるので、液晶が劣化しない。

(2) ドレイン信号により、液晶がオンして光漏れを起こすことがなくなる。そのため、ブラックマスク層が不要になるので、開口率が向上する。

(3) トランジスタのオン特性を十分にとることができる。そして、ゲートパルスのオフ時刻を次のラインのドレイン電圧が発生する時刻よりも早く設定すれば、ゲートパルス遅延による次ライン信号の誤書き込みもなくなる。

(4) ゲート電極-ソース電極間寄生容量による画素電極電圧の降下が軽減される。

【図面の簡単な説明】

【図1】本発明の実施例における薄膜トランジスタ基板の平面図である。

【図2】本発明の実施例における薄膜トランジスタ基板の主トランジスタ部の断面図である。

【図3】本発明の実施例における薄膜トランジスタ基板の副トランジスタ部の断面図である。

【図4】本発明の実施例における薄膜トランジスタ基板の電気接続系の説明図である。

【図5】本発明の実施例による薄膜トランジスタ型液晶表示装置の1画素あたりの等価回路図である。

【図6】本発明の実施例による薄膜トランジスタ型液晶

8

表示装置の駆動方法を示す説明図である。

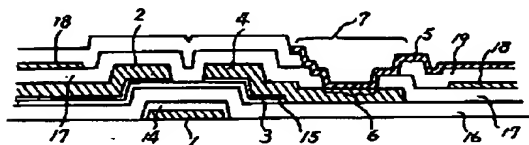
【図7】本発明の実施例による薄膜トランジスタ型液晶表示装置の画素電圧波形図である。

【図8】従来の薄膜トランジスタ基板の一部断面図である。

【符号の説明】

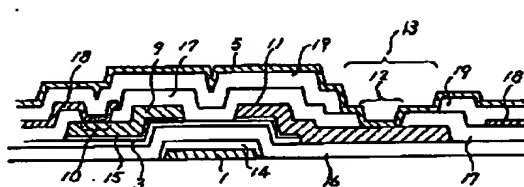
- | | |
|----|------------|
| 1 | ゲート電極 |
| 2 | ドレイン電極 |
| 3 | 半導体層 |
| 4 | ソース電極 |
| 5 | 画素電極 |
| 6 | 第1コンタクトホール |
| 7 | 第2コンタクトホール |
| 8 | 遮蔽電極開口部 |
| 9 | 第1補助電極 |
| 10 | 第3コンタクトホール |
| 11 | 第2補助電極 |
| 12 | 第4コンタクトホール |
| 13 | 第5コンタクトホール |
| 14 | 第1絶縁膜 |
| 15 | 第2絶縁膜 |
| 16 | 遮蔽電極 |
| 17 | 第3絶縁膜 |
| 18 | 対向電極 |
| 19 | 対向電極 |
| 20 | 対向電極 |
| 21 | 対向電極 |
| 22 | 対向電極 |

【図2】

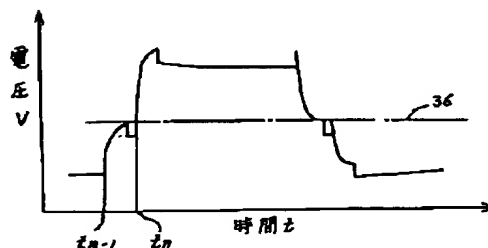


- | | |
|----|----------|
| 1 | : ゲート電極 |
| 2 | : ドレイン電極 |
| 3 | : 半導体層 |
| 4 | : ソース電極 |
| 5 | : 画素電極 |
| 9 | : 第1補助電極 |
| 11 | : 第2補助電極 |
| 14 | : 第1絶縁膜 |
| 17 | : 第2絶縁膜 |
| 18 | : 遮蔽電極 |
| 19 | : 第3絶縁膜 |

【図3】



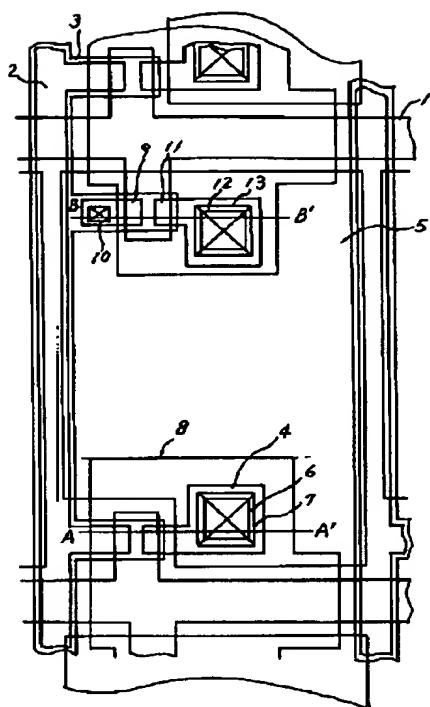
【図7】



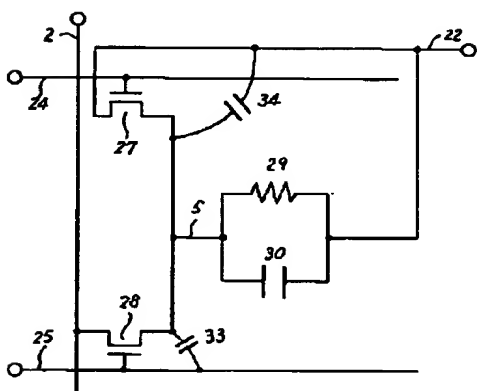
(6)

特開平4-318513

【図1】

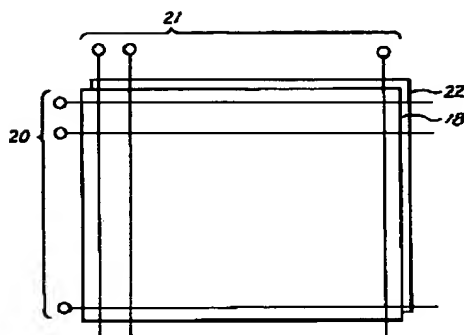


【図5】

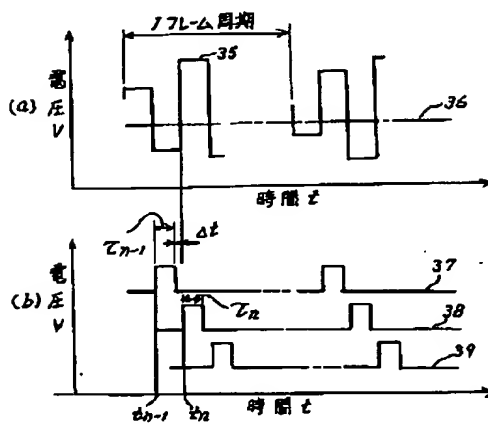


- 24: $n-1$ 番目ゲート電極
- 25: n 番目ゲート電極
- 27: 副トランジスタ
- 28: 主トランジスタ

【図4】



【図6】



- 35: フレイン電圧波形
- 36: 対向電圧波形
- 37: $n-1$ 番目ゲート電圧波形
- 38: n 番目ゲート電圧波形
- 39: $n+1$ 番目ゲート電圧波形

【図8】

